

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

57375987

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-090347

(43)Date of publication of application : 10.04.1998

(51)Int.Cl. G01R 31/26
H01L 21/66

(21)Application number : 08-247817

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 19.09.1996

(72)Inventor : NAKANISHI KOJI

(54) METHOD AND APPARATUS FOR TESTING SEMICONDUCTOR DEVICE

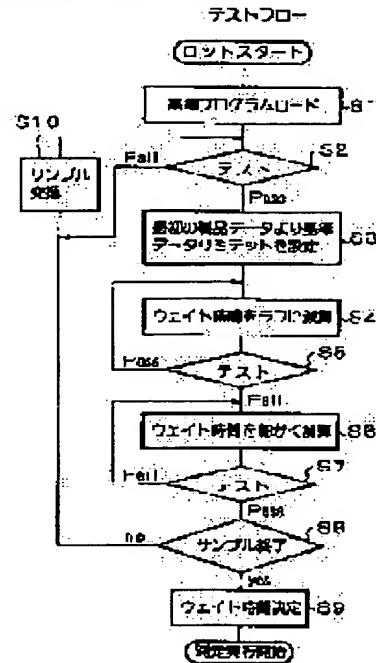
(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a method and an apparatus by which the operating speed of a device to be measured is detected in units of lots in a DC voltage test, a DC current test or the like and by which the time regarding a measurement can be adjusted automatically according to the operating speed.

SOLUTION: Regarding a device at the front, a test is executed by a conventional ordinary program (S2).

Then, its measured value is stored in a tester as reference data (S3). In succession, the waiting time is subtracted roughly (S4), and a test is executed (S5). Every obtained data is compared with the reference data so as to judge whether it is within a prescribed fluctuation range or not. Then, when it is within the range, the above test is repeated, and, when it is outside the range, a test is shifted to a next step.

While the above test is repeated, an item which is judged once to be outside the range out of a plurality of items to be tested is treated as an item, to be subtracted, in a next test. Regarding an item, to be tested, whose waiting time is insufficient, the waiting time is added (S6). Its addition is set in detail, and a test is repeated until the data is within the predetermined fluctuation range (S7). The above process is repeated by the preset number of device (S10), the waiting time is decided finally (S9), and the execution of a measurement is started.



LEGAL STATUS

[Date of request for examination]

22.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

先行技術

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-90347

(43) 公開日 平成10年(1998) 4月10日

(51) Int.Cl.⁶
G 0 1 R 31/26
H 0 1 L 21/66

識別記号

F I
G 0 1 R 31/26
H 0 1 L 21/66

G
Z

審査請求 未請求 請求項の数 6 O L (全 4 頁)

(21) 出願番号 特願平8-247817

(22) 出願日 平成8年(1996) 9月19日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 中 西 康 二

大分県大分市大字松岡3500番地 株式会社

東芝大分工場内

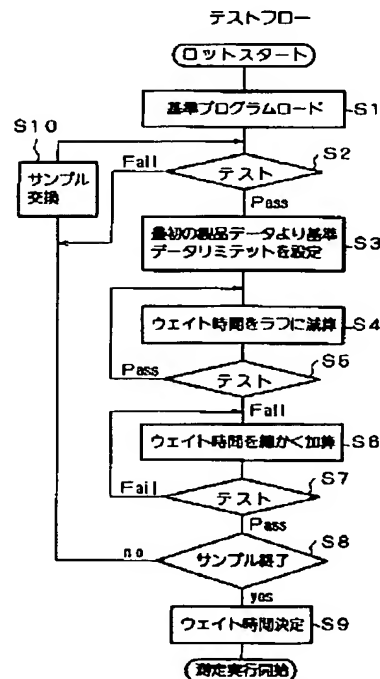
(74) 代理人 弁理士 佐藤 一雄 (外 3 名)

(54) 【発明の名称】 半導体装置の試験方法及び同装置

(57) 【要約】 (修正有)

【課題】 試験時間の削減。

【解決手段】 先頭のデバイスに関し従来の通常プログラムでテストを実行するS2。次に、その測定値を基準データとしてテスト内に格納するS3。続いて、ウェイト時間をラフに減算しS4、テストを実行するS5。得られた各データを基準データと比較し、所定の変動範囲内にあるか判定する。そして、範囲内であれば以上の測定を繰返し、範囲外となれば次ステップへ移る。この繰返しの中で、複数の対象テスト項目のうち一度範囲外となった項目は次の測定では減算の対象外として扱われる。またウェイト時間が不足となったテスト項目について、ウェイト時間の加算を行うS6。加算は細かく設定され、決められた変動範囲内になるまでテストを繰返すS7。以上のプロセスを予め設定されたデバイス数だけ繰返しS10、ウェイト時間を最終的に決定しS9、測定実行をスタートする。



【特許請求の範囲】

【請求項1】 被測定信号が立上ってからその電圧値が安定してから試験を行うために必要なウエイト時間を求めるために1ロットのうちの所定数のサンプルについてテストを行う第1の段階と、そのテスト結果に基づいて前記ウエイト時間を決定する第2の段階とを備えた半導体装置の試験方法。

【請求項2】 前記第1の段階は、ウエイト時間の基準時間を設定する段階と、該基準時間に加減算を施して最適ウエイト時間を求める段階とを備えたことを特徴とする請求項1記載の半導体装置の試験方法。

【請求項3】 基準時間を加減算する段階は、基準時間からラフに時間を減算し、その減算結果がウエイト時間として足りなくなったとき、その減算結果に相当する時間に細かな時間加算を行うことによりウエイト時間を求めることを特徴とする請求項1、2のうちいずれか1項記載の半導体装置の試験方法。

【請求項4】 被測定信号が立上ってからその電圧値が安定してから試験を行うために必要なウエイト時間を求めるために1ロットのうちの所定数のサンプルについてテストを行う第1の手段と、そのテスト結果に基づいて前記ウエイト時間を決定する第2の手段とを備えた半導体装置の試験装置。

【請求項5】 前記第1の手段は、ウエイト時間の基準時間を設定する手段と、該基準時間に加減算を施して最適ウエイト時間を求める手段とを備えたことを特徴とする請求項4記載の半導体装置の試験装置。

【請求項6】 基準時間を加減算する手段は、基準時間からラフに時間を減算し、その減算結果がウエイト時間として足りなくなったとき、その減算結果に相当する時間に細かな時間加算を行うことにより最適ウエイト時間を求めるものであることを特徴とする請求項5項記載の半導体装置の試験装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は半導体用の試験装置に関するもので、デジタル、アナログ両方式の試験装置における被測定デバイスの測定時間短縮の分野に使用される。

【0002】

【発明が解決しようとする課題】 従来、デバイスのテスト項目は電圧、電流などのDC試験とディジタル機能チェックのためのファンクション試験とに大別されるが、テストの構造上ファンクションチェックに関わるハードウェアの規模は大きく、DC測定に関わるハードウェアの規模は比較的小さい。しかしながら、測定時間比率においてはDC測定時間は全体の20%～40%を占めている。

【0003】 因みに、従来、半導体試験装置（以下、テストという。）では、DC測定を行うときに次のような動作を行う。

【0004】 ① 被測定デバイスから所望の電圧が出るように、デバイス電源、入力状態のセットを行う。

【0005】 ② テスタ内の測定系のセッティングを行う。

【0006】 ③ デバイスから出る電圧が安定するまで待つ。

【0007】 ④ 測定を実行する。

【0008】 以上の過程のうち、テストプログラム上では、プログラミング時の段階において動作速度バラツキと、テストの測定系の安定時間を考慮して適当に余裕のある時間を予め記入しておく。

【0009】 実際の生産工程では、デバイスの動作速度にバラツキがあるため、マージン確保のために③の時間には無駄が生じることになるのである。

【0010】 この時間削減を行うことは装置の有効活用において重要なことである。

【0011】 本発明は上記従来技術の有する問題点に鑑みてなされたもので、その目的とするところは、DC試験の時間削減を図ることにある。

【0012】 より具体的には、種々試験項目のうち、電圧、電流などのDC試験においてロット単位で被測定デバイスの動作速度を検知し、それに応じて自動的に測定に関わる時間を調整することを可能とすることを目的とする。

【0013】

【課題を解決するための手段】 本発明の半導体装置の試験方法は、被測定信号が立上ってからその電圧値が安定してから試験を行うために必要なウエイト時間を求めるために1ロットのうちの所定数のサンプルについてテストを行う第1の段階と、そのテスト結果に基づいて前記ウエイト時間を決定する第2の段階とを備えたことを特徴としている。

【0014】 第1の段階は、ウエイト時間の基準時間を設定する段階と、該基準時間に加減算を施して最適ウエイト時間を求める段階とを備えていることを特徴とする。

【0015】 基準時間を加減算する段階は、基準時間からラフに時間を減算し、その減算結果がウエイト時間として足りなくなったとき、その減算結果に相当する時間に細かな時間加算を行うことによりウエイト時間を求めることを特徴とする。

【0016】 また、本発明の半導体装置の試験装置は、被測定信号が立上ってからその電圧値が安定してから試験を行うために必要なウエイト時間を求めるために1ロットのうちの所定数のサンプルについてテストを行う第1の手段と、そのテスト結果に基づいて前記ウエイト時間を決定する第2の手段とを備えたことを特徴とす

る。

【0017】第1の手段はウエイト時間の基準時間を設定する手段と、該基準時間に加減算を施して最適ウエイト時間を求める手段とを備えたことを特徴とする。

【0018】基準時間に加減算する手段は、基準時間からラフに時間を減算し、その減算結果がウエイト時間として足りなくなったとき、その減算結果に相当する時間に細かな時間加算を行うことにより最適ウエイト時間を求めるものであることを特徴とする。

【0019】

【発明の実施の形態】本発明における半導体試験装置のデバイス測定フローを図1に示す。通常のテストではすぐに測定実行スタートとなるが、本発明ではテストの基本機能として測定実行スタート以前に自動的に、ある設定された個数のデバイスに対し当該フローが実行される。

【0020】① まず、基準プログラムをロードする(S1)。

【0021】② 次いで、先頭のデバイスについて通常のプログラムによりテストを実行する(S2)。

【0022】③ 実行されたテスト数に応じて得られた測定値を基準データとしてテスト内に格納する(S3)。

【0023】④ 上記③の時間(ウエイト時間という。)をラフに減算し(S4)、テストを実行(S5)。得られた各データを基準データと比較し、決められた変動範囲(スタート時に設定する。例えばイニシャル値 $\pm 10\%$)内にあるか判定する。そして、範囲内であれば以上の測定を繰返し、範囲外となれば次のステップへ移る。この繰返しの中では、複数の対象テスト項目のうちで一度範囲外となった項目は次の測定では減算の対象外として扱われる。

【0024】⑤ このステップではウエイト時間が足りなくなったテスト項目について、ウエイト時間の加算を行う(S6)。加算は細かく設定され、決められた変動

範囲内になるまでテストを繰返す(S7)。

【0025】⑥ 以上、②~⑤を予め設定されたデバイス数だけ繰返す。

【0026】⑦ これにより、時刻Pを決定する。例えば最大値をウエイト時間として最終的に決定し(S9)、このウエイト時間にて測定実行をスタートする。

【0027】以上から明らかなように、最初の測定フローに要する時間を考慮しても、ロット単位としては大幅な時間の削減が可能となる。

【0028】

【発明の効果】以上説明したように本発明によれば、従来の測定で問題となる、DC測定時間の無駄をなくし、最初の測定フローに要する時間を加味しても、ロット単位としては大幅な時間の削減が可能となる。

【0029】そして、初期のテストプログラム開発時に担当者がウエイト時間の設定に神経を使わずににラフな値を設定できることから、開発時間の短縮に繋がる。

【図面の簡単な説明】

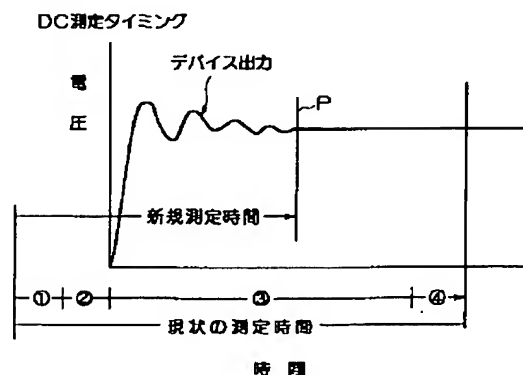
【図1】本発明の一実施例に係る半導体装置の試験装置の測定実行スタート前の処理内容を示すフローチャート。

【図2】本発明の測定タイミングを従来のそれと対比して示すタイムチャート。

【符号の説明】

- S1 基準プログラムロード処理
- S2 テスト処理
- S3 基準データリミット設定処理
- S4 ウエイト時間減算処理
- S5 テスト処理
- S6 ウエイト時間加算処理
- S7 テスト処理
- S8 サンプル終了確認処理
- S9 ウエイト時間固定処理
- S10 サンプル交換処理

【図2】



【図1】

